



DEUTSCHES
PATENTAMT

⑳ Aktenzeichen:
㉔ Anmeldetag:
㉕ Offenlegungstag:

P 31 34 995.1
4. 9. 81
17. 3. 83

㉗ Anmelder:
Robert Bosch GmbH, 7000 Stuttgart, DE

⑥① Zusatz zu: P 31 04 121.3

⑦② Erfinder:
Fritz, Eberhard, 7141 Schwieberdingen, DE

Behördeneigentum

⑤④ Verfahren und Vorrichtung zur Erkennung von Informationsänderungen in programmierbaren Speichern

Es wird ein Verfahren vorgeschlagen, das zur Erkennung von Informationsänderungen in programmierbaren Speichern dient. Durch ein Erhöhen oder ein Vermindern der Betriebsspannung des Speichergliedes wird die intern erzeugte Abfrageschwelle entweder erhöht oder erniedrigt. Ändert sich nun z.B. durch Verluste im Speicherglied die Stromkennlinie eines Speicherbauelementes, so verschiebt sich diese, so daß zu einem bestimmten Zeitpunkt zuerst die veränderte Abfragespannung über- oder unterschritten wird. Wird nun das bei Normalspannung abgefragte Signal mit dem Signal verglichen, das bei einer geänderten Abfragespannung auftritt, so ist bereits frühzeitig erkennbar, wenn eine Speicherzelle zu einem späteren Zeitpunkt ihren gespeicherten Informationswert ändert, da dann unterschiedliche Speicherinhalte abgefragt sind. Vor der Veränderung der Daten ist es dann möglich, ein Fehlersignal auszulösen. (31 34 995)

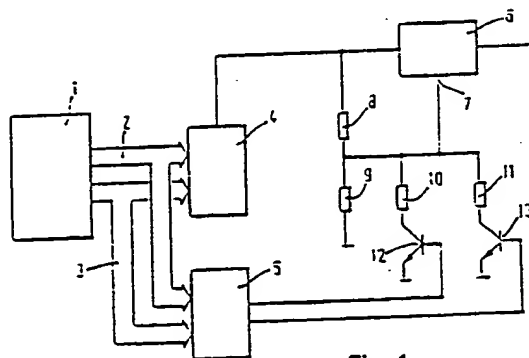


Fig. 1

R. 7277

10. 7. 1981 Fd/Do

ROBERT BOSCH GMBH, 7000 Stuttgart 1

Ansprüche

1. Verfahren zur Erkennung von Informationsänderungen in programmierbaren Speichern, insbesondere EPROMs, mit einer Rechneinheit, dadurch gekennzeichnet, daß der Speicherinhalt einer Speicherzelle in einem Rechner (1) gespeichert wird, die Abfragespannung des Speichers (4) erhöht wird, der Speicherinhalt der gleichen Speicherzelle in den Rechner (1) eingelesen wird und die beiden im Rechner vorhandenen Werte miteinander verglichen werden.
2. Verfahren zur Erkennen von Informationsänderungen in programmierbaren Speichern, insbesondere EPROMs mit einer Recheneinheit, dadurch gekennzeichnet, daß der Speicherinhalt einer Speicherzelle in einem Rechner (1) gespeichert wird, die Abfragespannung des Speichers (4) erniedrigt wird, der Speicherinhalt der gleichen Speicherzelle in den Rechner (1) eingelesen wird und die beiden im Rechner vorhandenen Werte miteinander verglichen werden.

...

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Abfragespannung sowohl erhöht als auch erniedrigt wird.
4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Spannungsänderung rechnergesteuert erfolgt.
5. Vorrichtung zur Durchführung eines Verfahrens nach einem der Ansprüche 1 bis 4 mit einer Rechneinheit und einem Speicher, dadurch gekennzeichnet, daß eine Vorrichtung vorgesehen ist, mit der die Abfrage- bzw. Versorgungsspannung des Speichers (4) veränderbar ist.
6. Vorrichtung nach Anspruch 5, dadurch gekennzeichnet, daß ein Schwellwertschalter vorhanden ist, dessen Schaltungsspannung veränderbar ist.
7. Vorrichtung nach Anspruch 5, dadurch gekennzeichnet, daß der Speicher (4) von einer stabilisierten Versorgungsspannungseinheit (6) gespeist wird, deren Referenzspannung veränderbar ist.
8. Vorrichtung nach einem der Ansprüche 5 bis 7, dadurch gekennzeichnet, daß die Referenzspannung oder Schwellenspannung rechnergesteuert vorzugsweise über einen I/O-Port (5) umschaltbar ist.

9. Vorrichtung nach einem der Ansprüche 5 bis 8, dadurch gekennzeichnet, daß der Rechner (1) Vergleichseinrichtungen aufweist, durch die im Rechner (1) eingebrachte Werte vergleichbar sind.
10. Vorrichtung nach einem der Ansprüche 5 bis 9, dadurch gekennzeichnet, daß eine optische oder akustische Signaleinheit aktivierbar ist, wenn sich die Speicherinhalte bei normaler und bei veränderter Abfrage- bzw. Versorgungsspannung voneinander unterscheiden.

R. 7277

- 4 -

10. 7. 1981 Ed/Do

ROBERT BOSCH GMBH, 7000 Stuttgart 1

Verfahren und Vorrichtung zur Erkennung von Informations-
änderungen in programmierbaren Speichern

Stand der Technik

Die Erfindung geht aus von einem Verfahren nach der Gattung des Hauptanspruchs. Aus 'Electronics' vom 14. 8. 1980, Seite 132, ist es bereits bekannt, daß EPROMs ihre Informationsinhalte unter äußeren Einflüssen ändern können. Hierbei ist es möglich, daß eine Speicherzelle Ladungsträger verliert und aus diesem Grunde ihren Zustand ändert; andererseits ist es möglich, daß eine Speicherzelle durch Umgebungseinflüsse Ladungsträger aufnimmt und aus diesem Grunde sein Informationsgehalt geändert wird. Deshalb ist bereits vorgeschlagen worden, die Speicherinhalte in regelmäßigen Abständen auszulesen und neu einzuspeichern. Ein wiederholtes Einspeichern von Daten in EPROMs hat jedoch zur Folge, daß das Verhalten des EPROMs bezüglich seiner Speichereigenschaften sich mit jedem Einspeichervorgang verschlechtert. Diese Speicherbauelemente müssen daher häufig ausgewechselt werden, da ein solcher Speichervorgang häufiger notwendig ist, als es aufgrund der Beschaffenheit des EPROMs erforderlich wäre.

...

Vorteile der Erfindung

Das erfindungsgemäße Verfahren mit den kennzeichnenden Merkmalen des Hauptanspruchs hat demgegenüber den Vorteil, daß durch einen einfachen Meßvorgang erkennbar ist, welche Speicherzelle in absehbarer Zeit ihre Daten ändert. Dadurch ist es möglich, eine bestimmte Speicherzelle bei drohendem Datenverlust neu zu programmieren oder aber den Speicherbaustein ganz auszuwechseln, wenn eine Programmierung nicht mehr möglich ist. Durch die frühzeitige Erkennung von Informationsänderungen ist es weiterhin möglich, den Speicherbaustein im normalen Betrieb weiterzubetreiben, bis eine Wartung des entsprechenden Gerätes möglich ist.

Durch die in den Unteransprüchen aufgeführten Maßnahmen sind vorteilhafte Weiterbildungen und Verbesserungen des im Hauptanspruch angegebenen Verfahrens möglich. Besonders vorteilhaft ist es, die Abfragespannung des Speichers nicht nur zu erhöhen, sondern auch zu erniedrigen. Durch eine Erniedrigung der Spannung ist auch der weitere Zustand der Speicherzelle abfragbar. Ob die Abfragespannung erhöht oder erniedrigt wird, ist im wesentlichen davon abhängig, welcher Zellenzustand durch äußere Einflüsse besonders leicht veränderbar ist. Beide Zustandsänderungen sind abfragbar, wenn die Abfragespannung des Speichergliedes sowohl erhöht als auch erniedrigt wird. Die Spannungsänderung der Abfragespannung erfolgt vorteilhafterweise rechnergesteuert durch den mit der Speichereinheit verbundenen Rechner. Dadurch ist in Programmpausen leicht eine Prüfung der Speicherinhalte möglich.

Eine Vorrichtung zur Überprüfung der Speichereinheit durch einen Rechner ist vorteilhaft so ausgebildet, daß eine Vorrichtung vorgesehen ist, mit der die Abfrage- bzw. Versorgungsspannung des Speichers veränderbar ist. Die Abfrage-

spannung ist einfach durch die Änderung der Schwellenspannung eines Schmitt-Triggers veränderbar, während die Versorgungsspannung in vorteilhafter Weise durch eine Veränderung der Referenzspannung der Versorgungsspannungseinheit möglich ist. Diese Maßnahmen stellen besonders einfache und vorteilhafte Prüfungsmöglichkeiten dar. Weiter ist es günstig, die Referenzspannung oder Schwellenspannung rechnergesteuert über einen I/O-Port umschaltbar zu gestalten. Die Spannungsumschaltung erfolgt dann programmgesteuert durch den Rechner. Günstig ist es, wenn der Rechner Vergleichseinrichtungen aufweist, durch die die Speicherinhalte einer Zelle des Speichergliedes im Rechner vergleichbar sind. Günstig ist es auch, wenn eine optische oder akustische Signaleinrichtung aktivierbar ist, wenn sich die Speicherinhalte bei normaler oder veränderter Abfrage- bzw. Versorgungsspannung voneinander unterscheiden. Hierdurch ist es möglich, rechtzeitig vor dem Verlust der Speicherinformation Maßnahmen zu treffen, die ein einwandfreies Arbeiten des Gerätes sichern.

Zeichnung

Ein Ausführungsbeispiel der Erfindung ist in der Zeichnung dargestellt und in der nachfolgenden Beschreibung näher erläutert. Es zeigen Fig. 1 eine Vorrichtung zur Überprüfung der Speicherinhalte und Fig. 2 ein Diagramm zur Erläuterung der Funktionsweise der Vorrichtung nach Fig. 1.

Beschreibung der Ausführungsbeispiele.

Fig. 1 zeigt mit 1 einen Rechner, der über einen Datenbus 2 mit einem Speicher 4 verbunden ist, der als EPROM ausgebildet ist. Weiterhin steht der Speicher 4 über einen Adressbus 3 mit dem Rechner in Verbindung. Der Datenbus 2 und der Adressbus 3 führen ebenfalls zu einem I/O-Port 5. An den Ein-

gang der Spannungsstabilisierungsschaltung 6 ist eine Gleichspannung angeschlossen. Der Ausgang der Spannungsstabilisierungsschaltung 6 führt zum Versorgungsspannungseingang des Speichers 4. An den Ausgang der Spannungsversorgungseinheit 6 ist ein Widerstand 8 angeschlossen, der in Reihe mit dem Widerstand 9 geschaltet ist und über diesen mit der Masse in Verbindung steht. Der Abgriff zwischen Widerstand 8 und Widerstand 9 ist mit dem Referenzspannungseingang 7 der Spannungsstabilisierungsschaltung 6 verbunden. Desweiteren führt dieser Abgriff zu einem Widerstand 10, an den andererseits der Kollektor eines Transistors 12 angeschlossen ist. Der Emitter des Transistors 12 ist mit der Masse verbunden. Die Basis des Transistors 12 ist an einen Ausgang des I/O-Ports 5 angeschlossen. Weiterhin ist an den Abgriff ein Widerstand 11 angeschlossen, der zum Kollektor eines Transistors 13 führt. Der Emitter des Transistors 13 ist mit der Masse verbunden. Die Basis des Transistors 13 ist mit einem weiteren Ausgang des I/O-Ports 5 verbunden.

Die Wirkungsweise der Schaltungsanordnung sei anhand der Fig. 2 näher erläutert. Bekannte EPROMs, beispielsweise die Typen Intel 2716 oder 2732, haben eine Vielzahl von Speicherzellen, die im wesentlichen aus Feldeffekttransistoren aufgebaut sind. Ein erster Feldeffekttransistor ist dabei als Stromquelle geschaltet, während ein weiterer in Reihe geschalteter Feldeffekttransistor ein Steuergate aufweist, mit dem Ladungsträger auf das Gate des Feldeffekttransistors aufbringbar sind. Mittig ist nun eine Spannung abgreifbar, die den Ladezustand des steuerbaren Feldeffekttransistors kennzeichnet. Definitionsgemäß liegt eine logische 1 vor, wenn der steuerbare Feldeffekttransistor leitend ist, d. h. auf ihm keine Ladungsträger aufgebracht sind. Die Ausgangsspannung ist dann klein. Die Kennlinie einer solchen Ausgangsspannung in Abhängigkeit vom eingepprägten Strom ist

in Fig. 2 als Linie 16 gekennzeichnet. Auf der Abszisse ist dabei die Spannung am Datenabgriff aufgetragen, während die Ordinate den Strom durch den Speicherfeldeffekttransistor darstellt. Wird durch einen Spannungsimpuls eine logische Null programmiert, so weist das Gate des Feldeffekttransistors Ladungsträger auf, die den Feldeffekttransistor hochohmig machen. Die Folge davon ist, daß am Mittenabgriff eine höhere Spannung auftritt. Diese ist in der Fig. 2 mit 17 gekennzeichnet.

Je nach Aufbau der Speicherzelle ist es nun möglich, daß im Laufe der Zeit ungewollt Ladungsträger aus dem Gatebereich entkommen oder aber Ladungsträger in den leeren Gatebereich gelangen. Ladungsträgerverluste können beispielsweise durch Feucht^{igkeits} und Temperatureinflüsse auftreten, während eine Ladungsträgeranreicherung durch Lichteinfluß geschehen kann. Im folgenden sei der Vorgang am Beispiel der Ladungsanreicherung näher erläutert. Wird nun vom Rechner 1 eine bestimmte Datenzelle abgefragt, so erkennt der Rechner den Null- oder 1-Zustand daran, ob die Abfragespannung 18 unter- oder überschritten ist. Bei einem bestimmten Strom 19, der durch den Konstantstrom durch die Zelle vorgegeben ist, tritt nämlich je nach Zustand eine unterschiedliche Spannung auf. Die Abfragespannung 18 wird bei den meisten Speicherbausteinen durch die Versorgungsspannung und den Aufbau einer Speicherzelle bestimmt. Bei den oben erwähnten Halbleiterspeichern liegt die Abfragespannung 18 bei der halben Versorgungsspannung. Die Versorgungsspannung erhält der Speicher 4 durch die Spannungsstabilisierungsschaltung 6, deren Ausgangsspannung durch das Signal am Referenzeingang 7 bestimmt ist. Das Signal am Referenzeingang 7 wird jedoch im wesentlichen durch das Verhältnis der Widerstände 8 und 9 zueinander bestimmt. Durch den Rechner 1 kann über die I/O-Ports 5 dieses Verhältnis durch Umschalten der Widerstände 10 und 11 geändert werden. Im Nor-

- 8 - - 9 -

malbetrieb ist der Transistor 12 durchge- schaltet, so daß dem Widerstand 9 der Widerstand 10 parallelgeschaltet ist. In einer Programmpause wird nun vom Rechner 1 eine bestimmte Speicherzelle des Speichers 4 über den Adressbus 3 aufgerufen und über den Datenbus in den Speicher des Rechners 1 gelesen. Nunmehr aktiviert der Rechner 1 den I/O-Port 5 und veranlaßt diesen, den Transistor 13 leitend zu schalten, so daß zu dem Widerstand 10 auch der Widerstand 11 dem Widerstand 9 parallelgeschaltet ist. Dies bedeutet ein Absinken der Referenzspannung 7 und damit auch ein Absinken der Versorgungsspannung des Speichers 4. Durch die interne Kopplung der Abfragespannung 18 mit der Versorgungsspannung bedeutet dies, daß die Abfragespannung ebenfalls zu kleineren Spannungswerten verschoben ist, wie dies durch strichpunktiierte Linien²⁰ in der Fig. 2 angedeutet ist. In diesem Zustand übernimmt nun der Rechner wiederum den Speicherinhalt der gleichen Speicherzelle und vergleicht ihn mit dem ursprünglich eingespeicherten Speicherwert. Ist die Kennlinie 16 gegeben, so sind beide Werte gleich und die Speicherzelle ist in Ordnung. Durch das Aufladen der Speicherzelle mit Ladungsträgern wird der Feldeffekttransistor der Speicherzelle hochohmiger, so daß sich seine Kennlinien in Richtung höherer Spannung verschieben. Dies zeigt die Kurvenschar, die in gestrichelten Linien der Linie 16 folgen. Ab einer bestimmten Kurve wird bei einem bestimmten Strom 19 die verminderte Abfragespannung überschritten. Wurde zuvor eine logische 1 gelesen, taucht nun bei verminderter Abfragespannung eine logische Null auf. Der Rechner erkennt, daß sich die Zelle langsam auflädt und daher schadhaft geworden ist. Durch geeignete Maßnahmen wird nunmehr erreicht, daß ein Alarmsignal ausgelöst wird, so daß der Speicherbaustein 4 ausgewechselt werden kann oder aber eine Refreshladung erfolgt. Nunmehr schaltet der Rechner wieder auf die normale Betriebsspannung um, indem der Transistor 13 über den I/O-Port 5 gesperrt wird. Nunmehr kann der Test mit einer ande-

...

ren Speicherzelle durchgeführt werden oder aber durch Sperren des Transistors 12 wird die Versorgungsspannung für das EPROM erhöht, so daß die Abfragespannung auf die positive Seite verschoben ist. Nunmehr kann überprüft werden, ob die eventuell eingespeicherte logische Null, die durch die Kennlinie 17 repräsentiert ist, sich entsprechend den gestrichelten Linien verschoben hat. Die Überprüfung erfolgt auf die gleiche Art und Weise.

Durch eine Variation der Abfragespannung oder der Betriebsspannung bei geeigneten Speicher-ICs kann daher eine sich anbahnende Informationsänderung frühzeitig festgestellt werden. Das Gerät selbst bleibt noch eine zeitlang betriebsbereit, da unter normalen Betriebsbedingungen die Abfragespannung 18 so liegt, daß eine eindeutige Identifizierung möglich ist. Durch Warneinrichtungen wird der Benutzer rechtzeitig gewarnt, das Gerät mit dem Speicher instandsetzen zu lassen. Eine andere Möglichkeit ist es, durch den Rechner 1 eine Neuprogrammierung der Speicherzelle vorzunehmen und zu prüfen, ob nun die Speicherzelle einwandfrei arbeitet. Kern der Erfindung ist es, Informationsänderungen in preisgünstigen Speichern, insbesondere EPROMs, zu einem Zeitpunkt zu erkennen, bei dem bei Normalbetrieb des Speicherbausteins die Information noch richtig ausgelesen wird.

Die Überprüfung der Speicherzellen erfolgt zweckmäßigerweise in Programmpausen. In dieser Zeit kann der Rechner 1 ein Unterprogramm abarbeiten, durch das die Speicherzellen alle oder in Abschnitten überprüft werden.

Nummer: 3134995
 Int. Cl.³: G 11 C 29/00
 Anmeldetag: 4. September 1981
 Offenlegungstag: 17. März 1983

1 / 1

-11-

3134995

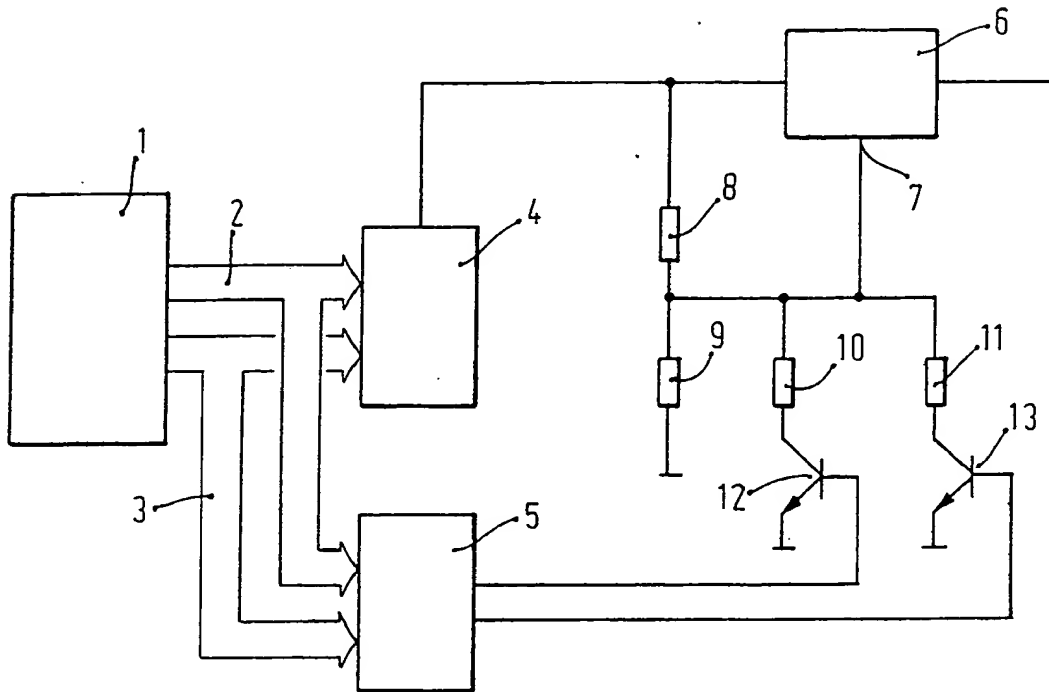


Fig. 1

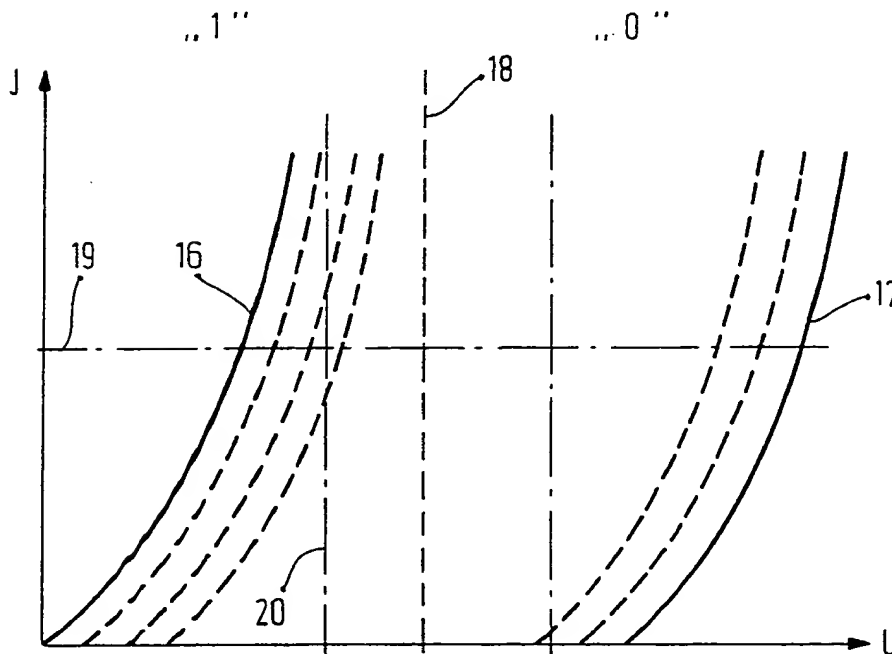


Fig. 2

Docket # GR 99P 1649

Applic. # 09/845,874

Applicant: Kliegelhöfer et al.

Lerner and Greenberg, P.A.

Post Office Box 2480

Hollywood, FL 33022-2480

Tel: (954) 925-1100 Fax: (954) 925-1101